



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0007017  
Application Number

출원년월일 : 2003년 02월 04일  
Date of Application  
FEB 04, 2003

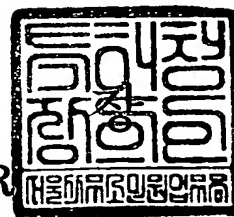
출원인 : 아남반도체 주식회사  
Applicant(s) : ANAM SEMICONDUCTOR., Ltd.



2003      12      31      일  
          년      월      일

특      허      청

COMMISSIONER





919980005148



10111010000000000000



0000458000

방식 심사 관	담 당	심 사 관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0100

【제출일자】 2003.02.04

【발명의 국문명칭】 소자 분리막 형성 방법과 이를 이용한 게이트 전극 형성  
방법

【발명의 영문명칭】 METHOD FOR FORMING STI AND METHOD FOR FORMING GATE  
POLE BY USING THE SAME

【출원인】

【명칭】 아남반도체 주식회사

【출원인코드】 1-1998-002671-9

【대리인】

【성명】 장성구

【대리인코드】 9-1998-000514-8

【포괄위임등록번호】 1999-068046-1

【대리인】

【성명】 김원준

【대리인코드】 9-1998-000104-8

【포괄위임등록번호】 1999-068052-0

【발명자】

【성명의 국문표기】 이계훈

【성명의 영문표기】 LEE, Kae Hoon

【주민등록번호】 650726-1840512

【우편번호】 121-880

【주소】 서울특별시 마포구 창전동 6-258

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

장성구 (인)

대리인

김원준 (인)

【수수료】

【기본출원료】	19	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	10	항	429,000	원
---------	----	---	---------	---

【합계】			458,000	원
------	--	--	---------	---

【첨부서류】 1.요약서·명세서(도면)\_1통

## 【요약서】

### 【요약】

반도체 기판 상에 소자분리막을 형성 시에 트렌치의 가장 자리에서 발생하는 누설 전류 발생을 방지할 수 있고, 이로 인해 반도체 소자의 신뢰성 및 특성을 향상시킬 수 있는 본 발명에 따른 반도체 소자의 소자분리막 형성 방법은 반도체 기판의 상부에 패드 산화막과 제 1 질화막을 순차적으로 형성하는 단계와, 패드 산화막과 제 1 질화막을 식각하여 트렌치 영역을 형성하는 단계와, 식각된 패드 산화막과 제 1 질화막의 양측벽에 스페이서를 형성하는 단계와, 스페이서와 식각된 제 1 질화막을 하드마스크로 하여 반도체 기판을 식각하여 제 1 트렌치를 형성하는 단계와, 제 1 트렌치가 형성된 반도체 기판 상에 라이너 산화막과 상기 트렌치 내부를 채우는 산화막을 형성한 후에, 식각된 제 1 질화막이 드러나도록 평탄화시켜 소자분리막을 형성하는 단계를 포함한다.

이상 설명한 바와 같이, 본 발명은 트렌치 형성 시에 형성된 패드 산화막과 질화막을 이용하여 게이트 전극을 형성함으로써, 게이트 전극을 형성하는 공정 수를 줄여 반도체 소자 수율 및 제조 원가를 줄일 수 있다.

### 【대표도】

도 2k

### 【색인어】

소자 분리막, 게이트, 누설 전류



## 【명세서】

### 【발명의 명칭】

소자 분리막 형성 방법과 이를 이용한 게이트 전극 형성 방법{METHOD FOR FORMING STI AND METHOD FOR FORMING GATE POLE BY USING THE SAME}

### 【도면의 간단한 설명】

- <1> 도 1a 내지 도 1f는 종래 기술에 의한 소자 분리막 형성 방법을 도시한 공정 단면도이고,
- <2> 도 2a 내지 도 2k는 본 발명에 따른 반도체 소자의 게이트 전극 형성 과정을 도시한 공정 단면도이다.

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <3> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히 반도체 기판 상에 소자분리막을 형성 시에 트렌치의 가장 자리에서 발생하는 누설 전류 발생을 방지할 수 있고, 이로 인해 반도체 소자의 신뢰성 및 특성을 향상시킬 수 있는 반도체 소자의 소자분리막 형성 방법과 이를 이용한 게이트 형성 방법에 관한 것이다.
- <4> 일반적으로 반도체 소자 분리 방법은 질화막을 이용하여 국부 산화막 형성(Local Oxidation of Silicon:LOCOS) 방법과 반도체 기판 표면에 트렌치(Trench)를 형성하여 소자를 분리하는 트렌치 소자 분리 방법이 있다.
- <5> 국부 산화막 형성 방법은 질화막을 마스크로 해서 반도체 기판 자체를 열산

화시키기 공정이 간소해서 산화막의 소자 응력 문제가 적고, 생성되는 산화막질이 우수한 장점이 있으나 소자 분리 영역이 차지하는 면적이 크므로 미세화에 한계가 있다. 이에 반해 트렌치를 이용한 소자 분리 방법은 반도체 기판 표면에 트렌치를 형성하여 절연막을 채운 후 평탄화하는 방법으로 소자 분리 영역이 차지하는 면적을 작게 형성할 수 있어 미세화에 유리하다.

<6> 도 1a내지 도 1f는 종래의 반도체 기판 표면에 트렌치를 형성하여 반도체 소자 분리 방법을 위한 공정 순서를 도시한 단면도이다.

<7> 도 1a에 도시된 바와 같이 반도체 기판(1) 상에 150Å 두께를 갖는 패드 산화막(PAD Oxide)(2)을 성장시키고, 패드 산화막(2) 상부에 2000Å 두께를 갖는 질화막(3)을 형성하고, 질화막(3) 상부에 감광막(4)을 도포하고, 마스크를 사용하여 반도체 기판(1) 표면에 소자 분리 영역인 트렌치를 형성하기 위해 감광막(4)을 노광 현상한다.

<8> 도 1b에 도시된 바와 같이 감광막(4)의 노광 현상에 의해 드러난 질화막(3) 및 패드 산화막(2)을 식각하여 제거하고, 다시 드러난 반도체 기판(1)을 3000~7000Å의 깊이로 300~500Å의 폭을 갖도록 식각하여 반도체 소자 분리 영역인 트렌치(T)를 형성한다.

<9> 도 1c에 도시된 바와 같이 후공정인 트렌치(T) 내부를 산화막인 절연막으로 채울 때 채워진 산화막과의 접촉성을 좋게 하기 위하여 그리고 트렌치(T)의 가장자리를 둥글리기(rounding) 위하여 트렌치(T) 내부에 라이너 산화막(5)을 형성한 후에, 트렌치(T)를 포함한 반도체 기판(1) 상부면에 화학 기상 증착법(Chemical

Vapor Deposition:CVD)에 의해 산화막인 절연막(6)을 두껍게 증착하여 트렌치(T) 내부를 채운다.

<10>           도 1d에 도시된 바와 같이, 절연막(6)이 형성된 반도체 기판(1) 상에 감광막을 도포한 후, 마스크를 사용하여 감광막을 노광 현상하여 트렌치(T) 상부의 절연막(6) 위에만 감광막 패턴(7)이 남도록 한다. 감광막 패턴(7)을 마스크로 하여 절연막(6)을 식각하여 트렌치 절연막 패턴(6a)을 형성한다.

<11>           도 1e에 도시된 바와 같이 감광막 패턴(7)을 제거하고, 기계 화학적 연마(Cheical Mechanical Polishing: CMP) 공정을 이용하여 질화막(3)이 있는 데까지 트렌치 절연막 패턴(6a)을 깎아내 평탄화하여 평탄화된 절연막 패턴(6a)으로 이루어진 소자분리막(8)을 형성한다.

<12>           도 1f에 도시된 바와 같이 노출된 질화막(3)을 인산을 이용한 습식 식각으로 제거하면, 반도체 기판(1)은 소자분리막(8)을 기준으로 양쪽 부분의 활성 영역(B)과 소자분리막(8)에 해당되는 영역인 소자 분리 영역으로 나누어진다.

<13>           따라서 종래의 반도체 소자 분리 방법은 산화막과 질화막을 평탄화한 후에 노출된 질화막을 인산으로 제거하는데, 이러한 평탄화 과정에서 트렌치(T)의 가장자리(A)로 전기(Electric Field)가 집중되어 트렌치(T)에서 누설전류(Leakage Current)가 발생할 수 있고(Kink Effect), 이로 인해 반도체 소자의 신뢰성 및 특성이 열악해지는 문제점을 가지고 있다.

<14>           이후, 도시 생략되었지만 일반적인 게이트 전극 형성 방법을 이용하여 도전막으로 이루어진 게이트 전극을 활성 영역에 형성한 후에, 불순물 이온 주입 공정

으로 게이트 전극을 기준으로 드레인/소스 영역을 형성한다.

<15> 그러나, 게이트 전극 형성 후 드레인/소스를 형성하기 위한 불순물 이온 주입시 트렌치 에도 불순물이 주입되어 소자 분리 저항이 변화되는 문제점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 반도체 기판 상에 소자분리막을 형성 시에 트렌치의 가장 자리에서 발생하는 누설 전류 발생을 방지할 수 있고, 이로 인해 반도체 소자의 신뢰성 및 특성을 향상시킬 수 있는 반도체 소자의 소자분리막 형성 방법을 제공하고자 한다.

<17> 또한, 본 발명은 트렌치 형성 시에 형성된 패드 산화막과 질화막을 이용하여 게이트 전극을 형성함으로써, 게이트 전극을 형성하는 공정 수를 줄여 반도체 소자 수율 및 제조 원가를 줄일 수 있는 반도체 소자의 게이트 전극 형성 방법을 제공하고자 한다.

<18> 상기와 같은 목적을 달성하기 위하여 본 발명은, 반도체 기판의 상부에 패드 산화막과 제 1 질화막을 순차적으로 형성하는 단계와, 상기 패드 산화막과 제 1 질화막을 식각하여 트렌치 영역을 형성하는 단계와, 상기 식각된 패드 산화막과 제 1 질화막의 양측벽에 스페이서를 형성하는 단계와, 상기 스페이서와 식각된 제 1 질화막을 하드마스크로 하여 상기 반도체 기판을 식각하여 제 1 트렌치를 형성하는 단계와, 상기 제 1 트렌치가 형성된 반도체 기판 상에 라이너 산화막과 상기 트렌치 내부를 채우는 산화막을 형성한 후에, 상기 식각된 제 1 질화막이 드러나도록





평탄화시켜 소자분리막을 형성하는 단계를 포함한다.

<19> 또한, 상기와 같은 본 발명의 다른 목적으로 달성하기 위하여 본 발명은, 반도체 기판의 상부에 패드 산화막과 제 1 질화막을 순차적으로 형성하는 단계와, 상기 패드 산화막과 제 1 질화막을 식각하여 트렌치 영역을 형성하는 단계와, 상기 식각된 패드 산화막과 제 1 질화막의 양측벽에 스페이서를 형성하는 단계와, 상기 스페이서와 식각된 제 1 질화막을 하드마스크로 하여 상기 반도체 기판을 식각하여 제 1 트렌치를 형성하는 단계와, 상기 제 1 트렌치가 형성된 반도체 기판 상에 라이너 산화막과 상기 트렌치 내부를 채우는 산화막을 형성한 후에, 상기 식각된 제 1 질화막이 드러나도록 평탄화시켜 소자분리막을 형성하는 단계와, 상기 식각된 제 1 질화막의 상부에 제 2 질화막을 형성한 후에, 상기 제 2 질화막과 식각된 제 1 질화막을 식각하여 제 2 트렌치를 형성하는 단계와, 상기 제 2 트렌치가 완전히 매립되도록 도전막을 형성한 후에, 상기 제 2 질화막이 드러나도록 도전막을 평탄화시키는 단계와, 상기 제 2 질화막과 식각된 제 1 질화막을 제거하여 게이트를 형성하는 단계를 포함한다.

#### 【발명의 구성】

<20> 본 발명의 실시 예는 다수개가 존재할 수 있으며, 이하에서 첨부한 도면을 참조하여 바람직한 실시 예에 대하여 상세히 설명하기로 한다. 이 기술 분야의 숙련자라면 이 실시 예를 통해 본 발명의 목적, 특징 및 이점들을 잘 이해할 수 있을 것이다.

<21> 도 2a 내지 도 2i는 본 발명의 반도체 소자의 소자분리막 형성 방법과 이를

이용한 게이트 형성 과정을 설명하기 위한 공정 순서를 도시한 단면도 이다.

<22> 도 2a에 도시된 바와 같이, 본 발명의 반도체 소자의 게이트 전극 형성 방법은 반도체 기판(100) 상에 패드 산화막(102) 및 제 1 질화막(104)을 연속하여 적층한 후에 제 1 질화막(104) 상부에 감광막을 도포하고, 도포된 감광막을 노광 및 현상 공정으로 제 1 트렌치가 형성될 영역의 감광막을 제거하여 제 1 감광막 패턴(106)을 형성한다. 이때 제 1 질화막(104)의 두께는  $500\text{\AA} \sim 1000\text{\AA}$ 을 갖는다.

<23> 도 2b에 도시된 바와 같이, 제 1 감광막 패턴(106)을 마스크로 패드 산화막(102) 및 제 1 질화막(104)을 식각한 후에 제 1 감광막 패턴(106)을 제거하고, 식각된 패드 산화막(102a) 및 제 1 질화막(104a)이 완전히 매립되도록 반도체 기판(100) 상에 산화막(108)을 형성한다.

<24> 도 2c에 도시된 바와 같이, 에치 백(Etch-back) 공정으로 산화막(108)의 일부를 제거하여 식각된 패드 산화막(102a) 및 제 1 질화막(104a)의 양측면에 산화막 스페이서(108a)를 형성한다.

<25> 도 2d에 도시된 바와 같이, 식각된 제 1 질화막(104a) 및 산화막 스페이서(108a)를 마스크로 하여 노출된 반도체 기판(100)을 식각하여 제 1 트렌치(T)를 형성한다.

<26> 이후, 도 2e에 도시된 바와 같이, 반도체 기판(100) 및 제 1 트렌치(T) 내부에 라이너 산화막(110)을 형성한 후에, 제 1 트렌치(T)의 내부가 완전히 매립되도록 트렌치 산화막(112)을 형성한다.

<27> 도 2f에 도시된 바와 같이, 식각된 제 1 질화막(104a)이 완전히 드러나도록

하면서 제 1 트렌치(T) 내부에만 트렌치 산화막(112)이 남도록 평탄화 공정을 수행하여 트렌치 산화막(112) 및 라이너 산화막(110)을 제거함으로써, 소자 분리막(112a)을 형성한다. 이때 평탄화 공정으로는 화학적 기계적 연마 방법(CMP:Chemical Mechanical Polishing)을 이용한다.

<28> 도 2g에 도시된 바와 같이, 결과물 상에 제 2 질화막(114)을 형성한 후에 게이트 영역을 정의하기 위한 제 2 감광막 패턴(116)을 형성한다. 이때 제 2 질화막(114)의 두께는  $1000\text{\AA} \sim 1500\text{\AA}$  을 갖는다.

<29> 도 2h에 도시된 바와 같이, 제 2 감광막 패턴(116)을 마스크로 하여 제 2 질화막(114)과 식각된 제 1 질화막(104a)을 식각하여 제 2 트렌치(T')를 형성한 후에 제 2 감광막 패턴(116)을 제거한다. 이와 같이 제 2 트렌치(T')를 형성할 때, 제 2 질화막(114)과 식각된 제 1 질화막(104a)으로 이루어진 다층 구조의 질화막과 패드 산화막간의 선택비가 7:1이상이 되는 식각 가스를 이용하며, 식각 가스로는  $\text{CO}$ ,  $\text{CHF}_3$ ,  $\text{C}_4\text{F}_8$ 을 이용한다.

<30> 도 2i 내지 도 2j에 도시된 바와 같이, 제 2 트렌치(T') 완전히 매립되도록 도전막(118)을 형성하고, 평탄화 공정으로 제 2 질화막(114)이 완전히 드러나도록 도전막(118)을 제거한다. 여기서 도전막(118)으로는 도프트된(doped) 폴리실리콘, 언도프트된(undoped) 폴리실리콘 금속막이 이용되며, 온도  $550\text{\AA} \sim 650\text{\AA}$  에서 LPCVD로 제 2 트렌치(T')가 완전히 매립되도록 증착된다. 증착되는 도전막(118)의 두께는  $2000\text{\AA} \sim 5000\text{\AA}$  이다.

<31> 평탄화 공정은 일반적으로 화학적 기계적 연마 방법을 이용하는데, 평탄화

후 남은 질화막의 두께는 제 2 트렌치(T') 높이의 90%~110%이다. 평탄화 과정에서 화학적 기계적 연마 장비의 EPD(EndPoint Detector) 시스템을 이용하여 도전막(118)의 두께를 조절할 수 있다.

<32>           도 2k에 도식된 바와 같이, 에치 백 공정으로 제 2 질화막(114)과 식각된 제 1 질화막(104a)을 제거하여 게이트 전극(118a)을 형성한다. 이때 제 2 질화막(114)과 식각된 제 1 질화막(104a)을 제거하는데 사용되는 식각 가스로 인산이 이용된다.

#### 【발명의 효과】

<33>           이상 설명한 바와 같이, 본 발명은 반도체 기판 상에 소자분리막을 형성 시에 트렌치의 가장 자리에서 발생하는 누설 전류 발생을 방지할 수 있고, 이로 인해 반도체 소자의 신뢰성 및 특성을 향상시킬 수 있다.

<34>           또한, 본 발명은 트렌치 형성 시에 형성된 패드 산화막과 질화막을 이용하여 게이트 전극을 형성함으로써, 게이트 전극을 형성하는 공정 수를 줄여 반도체 소자 수율 및 제조 원가를 줄일 수 있다.

**【특허청구범위】**

**【청구항 1】**

반도체 기판의 상부에 패드 산화막과 제 1 질화막을 순차적으로 형성하는 단계와,

상기 패드 산화막과 제 1 질화막을 식각하여 트렌치 영역을 형성하는 단계와,

상기 식각된 패드 산화막과 제 1 질화막의 양측벽에 스페이서를 형성하는 단계와,

상기 스페이서와 식각된 제 1 질화막을 하드마스크로 하여 상기 반도체 기판을 식각하여 제 1 트렌치를 형성하는 단계와,

상기 제 1 트렌치가 형성된 반도체 기판 상에 라이너 산화막과 상기 트렌치 내부를 채우는 산화막을 형성한 후에, 상기 식각된 제 1 질화막이 드러나도록 평탄화시켜 소자분리막을 형성하는 단계를 포함하는 반도체 소자의 소자 분리막 형성방법.

**【청구항 2】**

제 1 항에 있어서,

상기 제 1 질화막은, 500Å~1000Å의 두께를 갖는 반도체 소자의 소자 분리막 형성방법.

**【청구항 3】**

반도체 기판의 상부에 패드 산화막과 제 1 질화막을 순차적으로 형성하는 단



계와,

상기 패드 산화막과 제 1 질화막을 식각하여 트렌치 영역을 형성하는 단계와,

상기 식각된 패드 산화막과 제 1 질화막의 양측벽에 스페이서를 형성하는 단계와,

상기 스페이서와 식각된 제 1 질화막을 하드마스크로 하여 상기 반도체 기판을 식각하여 제 1 트렌치를 형성하는 단계와,

상기 제 1 트렌치가 형성된 반도체 기판 상에 라이너 산화막과 상기 트렌치 내부를 채우는 산화막을 형성한 후에, 상기 식각된 제 1 질화막이 드러나도록 평탄화시켜 소자분리막을 형성하는 단계와,

상기 식각된 제 1 질화막의 상부에 제 2 질화막을 형성한 후에, 상기 제 2 질화막과 식각된 제 1 질화막을 식각하여 제 2 트렌치를 형성하는 단계와,

상기 제 2 트렌치가 완전히 매립되도록 도전막을 형성한 후에, 상기 제 2 질화막이 드러나도록 도전막을 평탄화시키는 단계와,

상기 제 2 질화막과 식각된 제 1 질화막을 제거하여 게이트를 형성하는 단계를 포함하는 반도체 소자의 게이트 형성 방법.

#### 【청구항 4】

제 3 항에 있어서,

상기 제 1 질화막은,  $500\text{\AA} \sim 1000\text{\AA}$ 의 두께를 갖는 반도체 소자의 게이트 형성 방법.



**【청구항 5】**

제 3 항에 있어서,

상기 제 2 질화막은, 1000 Å ~ 1500 Å의 두께를 갖는 반도체 소자의 게이트 형성 방법.

**【청구항 6】**

제 3 항에 있어서,

상기 식각된 제 1 질화막과 제 2 질화막을 제거하는 단계는,

상기 제 1, 2 질화막과 도전막의 선택비가 7:1 이상이 되는 식각 가스를 사용하는 반도체 소자의 게이트 형성 방법.

**【청구항 7】**

제 6 항에 있어서,

상기 식각 가스는, CO, CHF<sub>3</sub>, C<sub>4</sub>F<sub>8</sub>을 사용하는 반도체 소자의 게이트 형성 방법.

**【청구항 8】**

제 3 항에 있어서,

상기 제 2 트렌치가 완전히 매립되도록 증착되는 도전막은,

550 Å ~ 650 Å의 온도에서 LPCVD로 증착되는 반도체 소자의 게이트 형성 방법.

**【청구항 9】**

제 8 항에 있어서,



상기 도전막의 두께는,  $2000\text{ \AA} \sim 5000\text{ \AA}$ 인 것을 특징으로 하는 반도체 소자의 게이트 형성 방법.

【청구항 10】

제 3 항에 있어서,

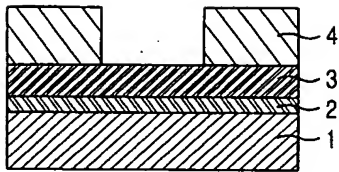
상기 도전막을 평탄화하는 단계는,

화학적 기계적 연마 방법으로 평탄화하고, 상기 평탄화 후 상기 제 2 절화막의 두께는 상기 제 2 절화막 전체 두께의  $10\% \sim 90\%$  남는 것을 특징으로 하는 반도체 소자의 게이트 형성 방법.

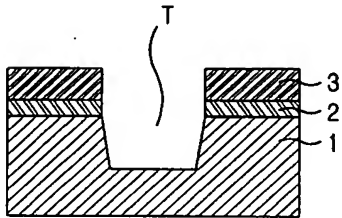


【도면】

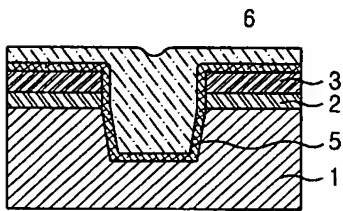
【도 1a】



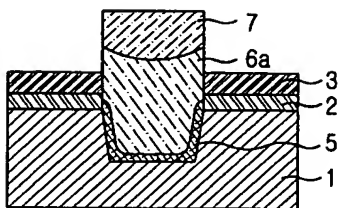
【도 1b】



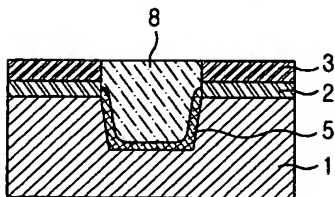
【도 1c】



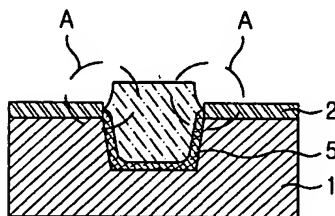
【도 1d】



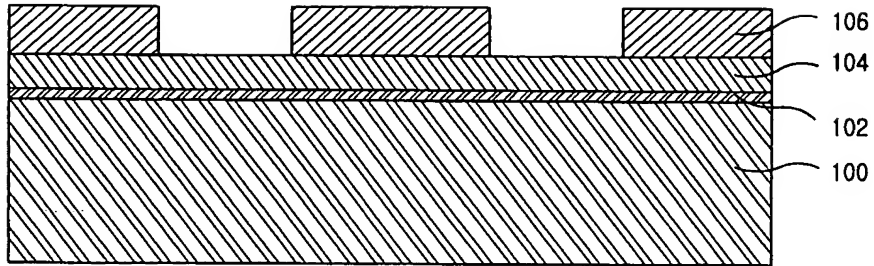
【도 1e】



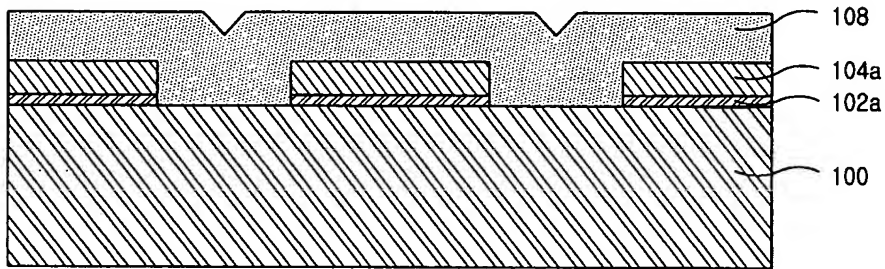
【도 1f】



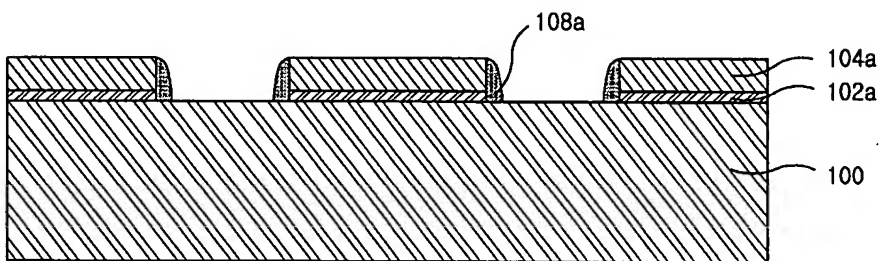
【도 2a】



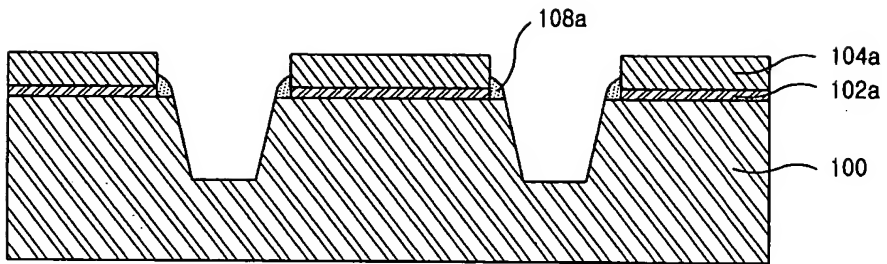
【도 2b】



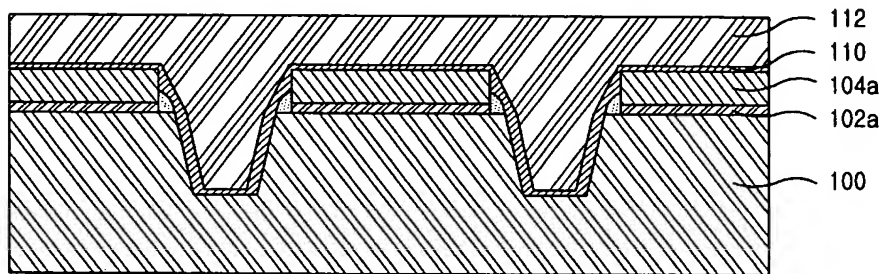
【도 2c】



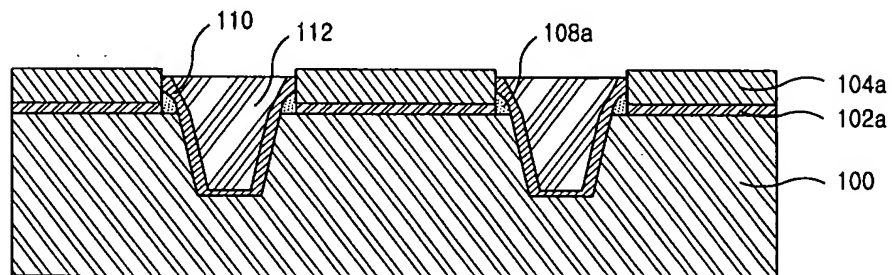
【도 2d】



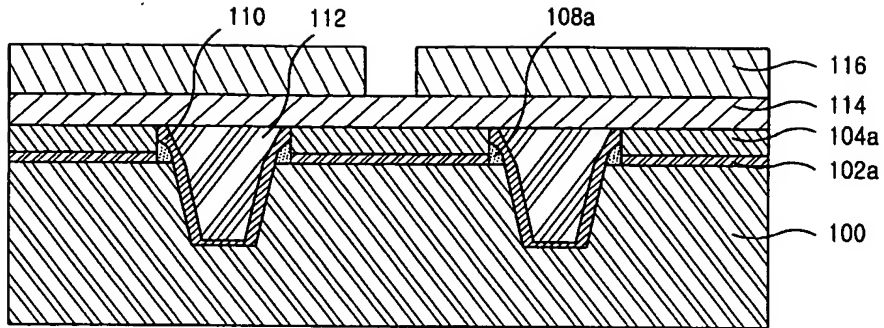
【도 2e】



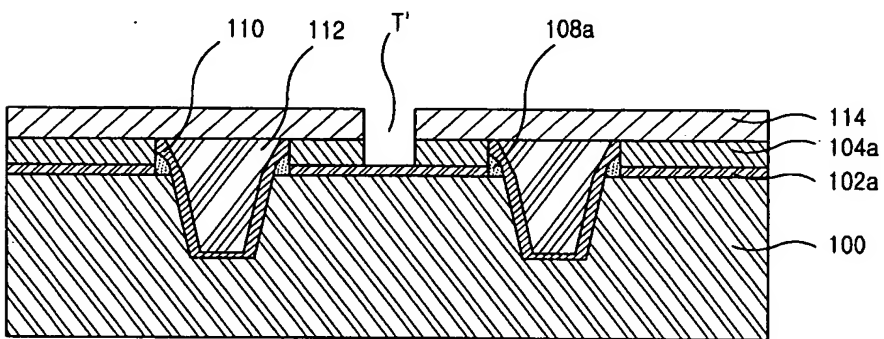
【도 2f】



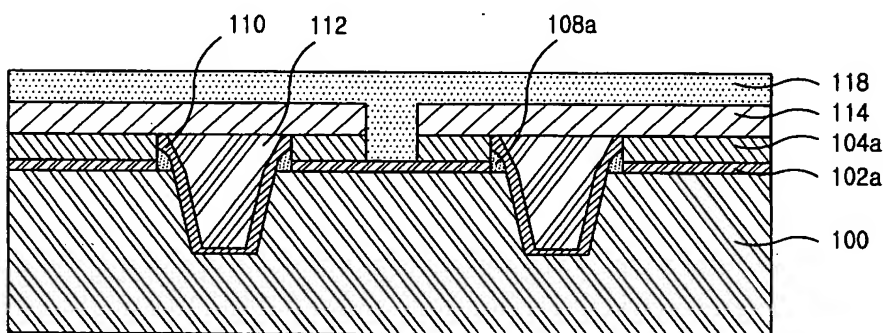
【도 2g】



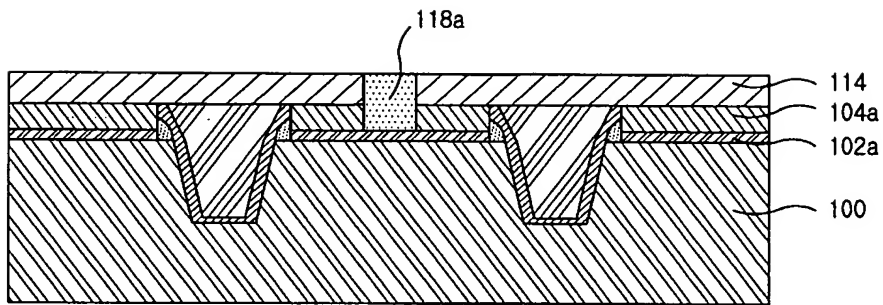
【도 2h】



【도 2i】



【도 2j】



【도 2k】

